

JCS978 U.S. P
10/036156
12/26/01



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2000년 제 85582 호
Application Number PATENT-2000-0085582

출원년월일 : 2000년 12월 29일
Date of Application DEC 29, 2000

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 09 월 17 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

출력 일자: 2001/9/19

【서지사항】

【서류명】 출원인정보변경 (경정)신고서
【수신처】 특허청장
【제출일자】 20010417

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 119980045698

【대리인】

【성명】 특허법인 신성 정지원

【대리인코드】 920000002923

【변경사항】

【변경항목】 한글 성명(명칭)

【변경전】 현대전자산업주식회사

【변경후】 주식회사 하이닉스반도체

【변경사항】

【변경항목】 영문 성명(명칭)

【변경전】 HYUNDAI ELECTRONICS IND. CO.,LTD

【변경후】 Hynix Semiconductor Inc.

【변경사항】

【변경항목】 인감

【변경전】

【변경후】

【취지】

특허법시행규칙 제9조·실용신안법시행규칙 제12조·
의장법시행규칙 제28조 및 상표법시행규칙 제23조의
규정에 의하여 위와 같이 신고합니다.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2000.12.29
【발명의 명칭】	반도체 소자의 금속 게이트 형성방법
【발명의 영문명칭】	METHOD FOR FORMING METAL GATE OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	박대규
【성명의 영문표기】	PARK,Dae Gyu
【주민등록번호】	640227-1807621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 481-1 삼익아파트 104동 904호
【국적】	KR
【발명자】	
【성명의 국문표기】	조흥재
【성명의 영문표기】	CHO,Heung Jae
【주민등록번호】	700123-1122410
【우편번호】	437-070
【주소】	경기도 의왕시 오전동 동백아파트 103동 1003호
【국적】	KR
【발명자】	
【성명의 국문표기】	임관용
【성명의 영문표기】	LIM,Kwan Yong

【주민등록번호】 700925-1457214
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 황골마을주공아파트
139동 1001호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조
의 규정에 의한 출원심사 를 청구합니다. 대리인
강성배 (인)
【수수료】
【기본출원료】 19 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 13 항 525,000 원
【합계】 554,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 금속 게이트의 형성시에 게이트 절연의 특성 저하가 야기되는 것을 방지할 수 있는 금속 게이트 형성방법을 개시하며, 개시된 본 발명의 금속 게이트 형성방법은, 액티브 영역을 한정하는 트랜치형의 소자분리막들이 구비된 실리콘 기판을 제공하는 단계; 상기 실리콘 기판의 표면 상에 열산화 공정을 통해 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 베리어 금속막과 게이트용 금속막을 순차로 증착하는 단계; 및 상기 게이트용 금속막과 베리어 금속막 및 게이트 절연막을 패터닝하는 단계를 포함하며, 상기 베리어막 금속막과 게이트용 금속막의 증착은 단위자 증착(Atomic layer deposition) 공정, 또는, 리모트 플라즈마 화학기상증착(remote plasma CVD) 공정으로 수행하는 것을 특징으로 한다.

【대표도】

도 3c

【명세서】

【발명의 명칭】

반도체 소자의 금속 게이트 형성방법{METHOD FOR FORMING METAL GATE OF SEMICONDUCTOR DEVOIE}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 기술에 따라 스퍼터링을 이용해서 실리콘 산화막 상에 직접 TiN 또는 WN막과 텅스텐(W)막을 증착한 경우에서의 축적 용량(C)-전압(V) 곡선을 도시한 그래프.

도 2a 내지 도 2c는 종래 기술에 따라 650℃에서 $TiCl_4+NH_3$ 의 열분해 방식으로 증착된 TiN 금속 게이트에서의 축적 용량(F)-전압(V) 곡선을 도시한 그래프.

도 3a 내지 도 3c는 본 발명의 실시예에 따른 금속 게이트 형성방법을 설명하기 위한 각 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

- | | |
|--------------|-------------|
| 1 : 실리콘 기판 | 2 : 소자분리막 |
| 3 : 게이트 절연막 | 4 : 베리어 금속막 |
| 5 : 게이트용 금속막 | 6 : 하드 마스크막 |
| 10 : 금속 게이트 | |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명의 반도체 소자의 금속 게이트 형성방법에 관한 것으로, 보다 상세하게는, 게이트 절연막의 특성 저하를 방지할 수 있는 반도체 소자의 금속 게이트 형성방법에 관한 것이다.
- <10> 주지된 바와 같이, 모스펫(MOSFET)에서의 게이트 절연막의 재료로는 열산화에 의한 실리콘 산화막(SiO_2)이, 그리고, 게이트의 재료로는 폴리실리콘막이 주로 이용되어져 왔다. 그런데, 반도체 소자의 집적도가 증가되면서, 게이트의 선평은 물론, 게이트 절연막의 두께 감소가 함께 요구되고 있는데, 게이트 절연막의 재료로서 실리콘산화막이 이용되는 경우, 게이트 절연막의 두께가 너무 얇아지게 되면, 상기 게이트 절연막을 통해 다이렉트 터널링(direct tunneling)에 의한 누설 전류가 커지기 때문에, 결과적으로, 소자 특성이 안정적이지 못하게 된다.
- <11> 예컨대, 현재 양산중인 디램(DRAM) 및 로직(Logic) 소자의 게이트 절연막으로서 실리콘 산화막을 70nm 테크놀로지(technology) 소자에 적용함에 있어서, 그 두께는 디램의 경우에는 30~35Å 정도, 그리고, 로직 소자의 경우에는 13~15Å 정도의 두께가 예상되는 바, 게이트 폴리 디플리션(gate poly depletion)에 의하여 증가되는 캐패시터 성분이 3~8Å 정도까지 되어, 15~30Å 정도의 게이트 산화막이 차지하는 전기적인 두께(T_{eff})를 감소시키는데 어려움이 있다.

<12> 따라서, 상기와 같은 문제를 극복하기 위한 방법으로, 최근에는 실리콘 산화막 보다 상대적으로 유전율이 높은 고유전 물질을 게이트 절연막의 재료로 이용하는 연구가 진행되고 있으며, 또한, 폴리 게이트 디플리션을 최소화하기 위해 폴리 게이트 대신에 금속 게이트를 이용하려는 연구가 진행되고 있다.

<13> 상기 금속 게이트의 경우, 게이트용 금속막과 게이트 절연막 사이에는 베리어 금속막으로서 TiN, 또는, WN막이 개재되며, 게이트용 금속막 상에는 식각 마스크로 이용하기 위한 하드 마스크막이 배치된다.

【발명이 이루고자 하는 기술적 과제】

<14> 그러나, 종래 기술에 따라 실리콘 산화막 재질의 게이트 절연막 상에 금속 게이트를 형성할 경우에는 다음과 같이 게이트 절연막의 특성 저하가 야기되는 문제점이 있다.

<15> 게이트용 금속막의 증착은, 통상, 스퍼터링(sputtering), 또는, CVD 공정에 의해 이루어지게 되는데, 이때, 상기 게이트용 금속막, 특히, 베리어 금속막을 게이트 산화막 상에 직접 증착할 경우, 상기 게이트 절연막의 계면 특성 및 절연 특성의 저하가 야기된다.

<16> 도 1a 및 도 1b는 종래 기술에 따라 스퍼터링을 이용해서 실리콘 산화막으로 이루어진 게이트 절연막 상에 직접 베리어막으로서 TiN 또는 WN막과 게이트용 금속막으로서 텅스텐(W)막을 순차로 증착한 경우에서의 모스 트랜지스터의 축적 용량(F)-전압(V) 곡선을 도시한 그래프이다.

<17> 도시된 바와 같이, 실리콘 산화막으로 이루어진 게이트 절연막 상에 베리어 금속막(TiN 또는 WN)과 텅스텐막을 연속해서 증착할 경우, 후속의 열공정이 수행되지 않은 상태에서는 축적용량-전압 특성이 증착 물질(TiN 또는 WN) 및 스퍼터링 방법(IMP, collimated, conventional)에 크게 상관없이 꺾임(hump)으로 인하여 $1E12/eV\text{-cm}^2$ 정도의 과도한 계면 결함 밀도(interface trap density)와 $1E12/cm^2$ 정도의 이력(hysteresis)으로 인하여 산화물 트랩 차아지(oxide trap charge)를 나타내는 등, 게이트 절연막 자체의 손상은 물론, 기판과의 계면에서 심각한 손상을 나타낸다.

<18> 한편, 상기한 손상은 800°C 이상의 고온 열공정을 통하여 어느 정도 치유될 수 있지만, 완벽한 게이트 절연막의 손상 회복은 기대할 수 없으며, 특히, 고온의 열공정이 수행되어야 한다는 공정 상의 단점과 게이트 절연막의 전기적 두께(T_{eff})가 증가된다는 단점이 있다.

<19> 도 2a 내지 도 2c는 650°C 의 고온에서 $TiCl_4+NH_3$ 의 열분해 방식으로 증착된 TiN 금속 게이트에서의 축적 용량-전압 곡선을 도시한 그래프이다.

<20> 도시된 바와 같이, 증착 후의 MOS 트랜지스터 특성은 스퍼터링 방법에 의해 증착된 그것 보다 상대적으로 양호한다. 그러나, 후속의 열공정 후에 게이트 절연막의 전기적 두께(T_{eff}) 증가와 산화물 트랩 차아지의 증가, 즉, 이력(hysteresis)의 증가로 인하여 GOI(Gate Oxide Integrity) 특성 열화가 초래되며, 특히, MOS 트랜지스터의 제조시에 심각한 특성 열화가 초래될 수 있다.

<21> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 게이트 절연막의 특성 저하를 방지할 수 있는 금속 게이트 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<22> 상기와 같은 목적을 달성하기 위한 본 발명의 금속 게이트 형성방법은, 액티브 영역을 한정하는 트랜치형의 소자분리막들이 구비된 실리콘 기판을 제공하는 단계; 상기 실리콘 기판의 표면 상에 열산화 공정을 통해 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 베리어 금속막과 게이트용 금속막을 순차로 증착하는 단계; 및 상기 게이트용 금속막과 베리어 금속막 및 게이트 절연막을 패터닝하는 단계를 포함하며, 상기 베리어막 금속막과 게이트용 금속막의 증착은 단원자 증착(Atomic layer deposition) 공정, 또는, 리모트 플라즈마 화학 기상증착(remote plasma CVD) 공정으로 수행하는 것을 특징으로 한다.

<23> 본 발명에 따르면, 베리어 금속막과 게이트용 금속막을 단원자 증착 공정, 또는, 리모트 플라즈마 CVD 공정을 증착하기 때문에, 상기 막들의 증착 과정에서 발생될 수 있는 게이트 절연막의 손상을 최대한 억제시킬 수 있다.

<24> (실시예)

<25> 도 3a 내지 도 3c는 본 발명의 실시예에 따른 금속 게이트 형성방법을 설명하기 위한 각 공정별 단면도로서, 이를 설명하면 다음과 같다.

<26> 도 3a를 참조하면, 실리콘 기판(1)을 마련하고, 상기 실리콘 기판(1)의 소정 영역에 액티브 영역을 한정하는 트랜치형의 소자분리막들(2)을 형성한다. 이

때, 상기 소자분리막(2)은 공지된 LOCOS 공정으로 형성하는 것도 가능하다. 상기 실리콘 기판(1)의 표면 상에 열산화 공정을 통해 10~40Å 두께의 실리콘 산화막으로 이루어진 게이트 절연막(3)을 형성한다. 이때, 상기 열산화 공정은 650~900℃의 퍼니스(furnace)에서 습식(H_2/O_2) 또는 건식(O_2) 방식으로 수행함이 바람직하다.

<27> 한편, 상기 게이트 절연막(3)으로서 상기 열산화 공정에 의한 실리콘 산화막 대신에, Al_2O_3 , Ta_2O_5 , TiO_2 , ZrO_2 , HfO_2 , Zr-실리케이트, Hf-실리케이트, La_2O_3 , 및 3차원계 혼합 절연막($ZrAlO$, $HfAlO$, $ZrSiO_4$, $HfSiO_4$) 중에서 선택되는 어느 하나의 고유전 절연막을 형성하는 것도 가능하며, 또한, 상기 고유전 절연막의 증착 전에 초박막(ultra thin)의 실리콘 산화막을 형성하는 것도 가능하다. 게다가, 상기 고유전 절연막을 게이트 절연막으로서 이용할 경우, 그 특성 개선을 위해, 산소, 질소, 또는, 비활성 분위기에서 10~300초 동안의 급속열공정, 또는, 10-100분간의 퍼니스 공정을 이용해서 어닐링을 수행할 수 있으며, 아울러, UV-오존 처리를 수행할 수도 있다.

<28> 또한, 도시하지는 않았으나, 상기 게이트 절연막(3)의 형성 전, 트렌치 구조로 캐패시터를 형성할 수도 있으며, 이때의 유전막으로서는 ON막, Ta_2O_5 막, Al_2O_3 막, BST막, 및 SBT막 중에서 선택되는 어느 하나를 이용할 수 있다.

<29> 도 3b를 참조하면, 상기 게이트 절연막(3) 상에 베리어 금속막(4)과 게이트용 금속막(5)을 차례로 증착하고, 상기 게이트용 금속막(5) 상에 하드 마스크막(6)을 증착한다. 여기서, 상기 베리어 금속막(4)과 게이트용 금속막(5)은 금속

침투(metal penetration), 또는, 주입(implantation)과 같은 효과를 주지 않으면서, 고온 열분해 방식이 아닌 증착 공정, 예컨대, 단원자 증착(Atomic Layer Deposition: ALD) 공정, 또는, 리모트 플라즈마(remote plasma) CVD 공정으로 수행함이 바람직하다.

<30> 여기서, 상기 단원자 증착 공정은 150~350℃에서 사이클릭 도우징(cyclic dosing)과 퍼징(purging)에 의한 증착이 가능하기 때문에 게이트 절연막(3)과 기판(1) 사이의 계면 및 상기 게이트 절연막(3) 자체의 특성 열화를 방지할 수 있다. 상기 단원자 증착 공정의 수행시, 전구체(precursor)를 퍼징(purging)하는 물질로서 N_2 , NH_3 , 또는, ND_3 중에서 어느 하나를 사용하며, 온도가 50~450℃, 압력이 0.05~3 Torr인 조건으로 수행함이 바람직하다.

<31> 상기 리모트 플라즈마 CVD 공정은 원거리에서 플라즈마를 형성하여 박막을 증착하기 때문에 상기 단원자 증착 공정과 동일한 효과를 얻을 수 있다. 상기 리모트 플라즈마 CVD 공정시, 플라즈마 소오스로서 ECR(Electron Cyclotron Resonance)을 사용하며, 주파수는 2.0~9 GHz, 그리고, 플라즈마 여기 가스로서 He, Ar, Kr, 또는, Xe를 사용함이 바람직하다. 또한, 상기 리모트 플라즈마 CVD 공정시, Ti와 같은 금속 소오스의 챔버 내부로의 주입은 웨이퍼 부근에서 분사하며, N의 소오스는 플라즈마 근처에서 여기시켜서 웨이퍼 부근으로 도입되도록 한다.

<32> 한편, 상기 베리어 금속막(4)은 TiN, TiAlN, TaN, MoN 및 WN으로 이루어진 그룹으로부터 선택되는 어느 하나로 형성하며, 그 두께는 50~500Å 정도로 형성함이 바람직하다. 또한, 상기 게이트용 금속막(5)은 W, Ta, Al, TiSix, CoSix,

및 NiSix 중에서 선택되는 어느 하나로 형성하거나, 폴리실리콘과 텅스텐질화막 및 텅스텐막의 적층 구조(poly-Si/WN/W)로 형성하며, 그 두께는 300~1,500Å 정도로 형성함이 바람직하다. 상기 하드 마스크막(6)은 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 또는, 실리콘 질산화막(SiON)으로 형성하며, 300~2,000Å 정도로 형성한다.

<33> 상기에서, 리모트 플라즈마 CVD 공정으로 베리어 금속막, 예컨데, TiN의 증착시에는 Ti의 소오스로서 TiCl₄, TDEAT, 또는, TDMAT 중에서 어느 하나를 사용하고, 그리고, N의 소오스로는 N₂, NH₃, 또는, ND₃ 중에서 어느 하나를 사용한다. 또한, 베리어 금속막으로서 TiAlN을 증착 할 경우, Ti의 소오스로서 TiCl₄, TDEAT, 또는, TDMAT 중에서 어느 하나를 사용하고, N의 소오스로는 N₂, NH₃, 또는, ND₃ 중에서 어느 하나를 사용하며, Al의 소오스로는 AlCl₃, 또는, TMA[Al(CH₃)₃]를 사용한다. 게다가, 베리어 금속막으로서 TaN을 증착 할 경우, Ta의 소오스로는 TaCl₄, 또는, Ta tert-butoxide를 사용하고, N의 소오스로는 N₂, NH₃, 또는, ND₃ 중에서 어느 하나를 사용한다. 아울러, 베리어 금속막으로서 MoN을 증착할 경우, Mo의 소오스로는 MoCl₄, MoF₆, 또는, Mo tert-butoxide를 사용하고, N의 소오스로는 N₂, NH₃, 또는, ND₃ 중에서 어느 하나를 사용한다. 또한, 베리어 금속막으로서 WN을 증착할 경우, W의 소오스로는 WF₆, 또는, WCl₄를 사용하고, N의 소오스로는 N₂, NH₃, 또는, ND₃ 중에서 어느 하나를 사용한다.

<34> 도 3c를 참조하면, 공지된 포토피소그래피 공정으로 상기 하드 마스크막(6)을 패터닝한다. 그런다음, 식각 마스크로서 패터닝된 하드 마스크막(6)을 이용한

식각 공정을 통해 상기 게이트용 금속막(5), 베리어막(4) 및 게이트 절연막(3)을 연속적으로 식각해서, 본 발명에 따른 금속 게이트(10)를 형성한다.

<35> 상기와 같은 공정을 통해 형성되는 본 발명의 금속 게이트(10)는 베리어 금속막(4)을 포함한 게이트용 금속막(5)이 단원자 증착 공정 또는 리모트 플라즈마 CVD 공정으로 증착되는 것에 기인해서 실리콘 산화막으로 이루어진 게이트 절연막(3)의 특성 저하를 방지할 수 있게 된다.

<36> 한편, 전술한 실시예에는 전형적인 게이트 형성 공정, 즉, 게이트 절연막과 게이트용 도전막의 증착 후에 상기 막들을 패터닝하는 것에 의해 게이트를 형성하는 공정에 대해서 도시하고, 설명하였지만, 희생 게이트의 형성 및 제거를 통해 게이트 형성 영역을 한정된 후, 상기 게이트 형성 영역에 금속 게이트를 형성하는 다마신(damascence) 공정에도 적용 가능하며, 특히, 베리어 금속막과 게이트용 금속막의 증착을 단원자 증착 공정 또는 리모트 플라즈마 CVD 공정을 이용하는 본 발명의 방법을 다마신 공정을 이용한 게이트 형성 공정에 적용할 경우, 보다 향상된 효과를 얻을 수 있다.

【발명의 효과】

<37> 이상에서와 같이, 본 발명은 금속 게이트를 형성하되, 베리어 금속막과 게이트용 금속막의 증착을 단원자 증착 공정 또는 리모트 플라즈마 CVD 공정으로 수행함으로써, 게이트 절연막의 특성 저하를 방지할 수 있으며, 그래서, 금속 게이트의

특성은 물론, 소자의 특성을 향상시킬 수 있다. 또한, 상기 단위자 증착 공정 및 리모트 플라즈마 CVD 공정들은 스텝 커버리지(step coverage)가 우수하기 때문에 그 자체로 공정 상의 잇점이 있으며, 그래서, 고속/고밀도 소자의 제조에 매우 유리하게 적용할 수 있다.

<38> 기타, 본 발명은 그 요지가 일탈하지 않은 범위에서, 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

액티브 영역을 한정하는 트랜치형의 소자분리막들이 구비된 실리콘 기판을 제공하는 단계;

상기 실리콘 기판의 표면 상에 열산화 공정을 통해 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 베리어 금속막과 게이트용 금속막을 순차로 증착하는 단계; 및

상기 게이트용 금속막과 베리어 금속막 및 게이트 절연막을 패터닝하는 단계를 포함하며,

상기 베리어막 금속막과 게이트용 금속막의 증착은 단위자 증착(Atomic layer deposition) 공정, 또는, 리모트 플라즈마 화학기상증착(remote plasma CVD) 공정으로 수행하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 열산화 공정은 650~900℃의 퍼니스(furnace)에서 습식(H_2/O_2) 또는 건식(O_2) 방식으로 수행하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 3】

제 1 항에 있어서, 상기 베리어 금속막은 TiN, TiAlN, TaN, MoN 및 WN으로 이루어진 그룹으로부터 선택되는 어느 하나인 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 4】

제 1 항에 있어서, 상기 단위자 증착(Atomic layer deposition) 공정은 전구체(precursor)를 퍼징(purging)하는 물질로서 N_2 , NH_3 , 또는, ND_3 중에서 어느 하나를 사용하며, 온도가 $50\sim 450^\circ C$, 그리고, 압력이 $0.05\sim 3$ Torr인 조건으로 수행하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 5】

제 1 항에 있어서, 상기 리모트 플라즈마 화학기상증착 공정은 플라즈마 소오스로서 ECR(Electron Cyclotron Resonance)을 사용하며, 주파수는 $2.0\sim 9$ GHz, 그리고, 플라즈마 여기 가스로서 He, Ar, Kr, 또는, Xe를 사용하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 6】

제 3 항에 있어서, 상기 TiN의 증착시, Ti의 소오스로는 $TiCl_4$, TDEAT, 또는, TDMAT 중에서 어느 하나를 사용하고, N의 소오스로는 N_2 , NH_3 , 또는, ND_3 중에서 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 7】

제 3 항에 있어서, 상기 TiAlN의 증착시, Ti의 소오스로는 TiCl_4 , TDEAT, 또는, TDMAT 중에서 어느 하나를 사용하고, Al의 소오스로는 AlCl_3 , $\text{TMA}[\text{Al}(\text{CH}_3)_3]$ 를 사용하며, N의 소오스로는 N_2 , NH_3 , 또는, ND_3 중에서 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 8】

제 3 항에 있어서, 상기 TaN의 증착시,

Ta의 소오스로는 TaCl_4 , 또는, Ta tert-butoxide를 사용하고, N의 소오스로는 N_2 , NH_3 , 또는, ND_3 중에서 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 9】

제 3 항에 있어서, 상기 MoN의 증착시,

Mo의 소오스로는 MoCl_4 , MoF_6 , 또는, Mo tert-butoxide를 사용하고, N의 소오스로는 N_2 , NH_3 , 또는, ND_3 중에서 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 10】

제 3 항에 있어서, 상기 WN의 증착시,

W의 소오스로는 WF_6 , 또는, WCl_4 를 사용하고, N의 소오스로는 N_2 , NH_3 , 또는, ND_3 중에서 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 11】

제 1 항에 있어서, 상기 게이트용 금속막은 W, Ta, Al, TiSix, CoSix, 및 NiSix 중에서 선택되는 어느 하나인 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 12】

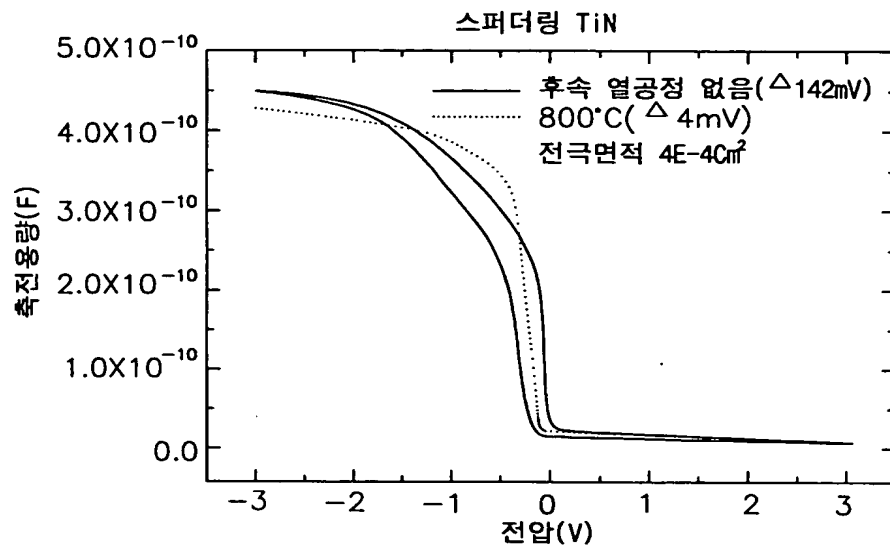
제 1 항에 있어서, 상기 게이트용 금속막은 폴리실리콘과 텅스텐질화막 및 텅스텐막의 적층 구조로 이루어진 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【청구항 13】

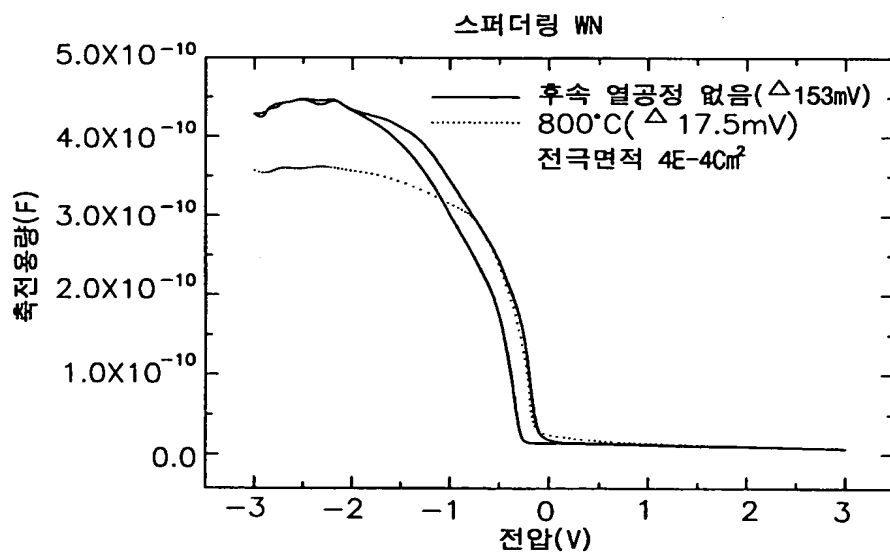
제 1 항에 있어서, 상기 게이트용 금속막은 폴리실리콘과 텅스텐질화막 및 텅스텐막의 적층 구조로 이루어진 것을 특징으로 하는 반도체 소자의 금속 게이트 형성방법.

【도면】

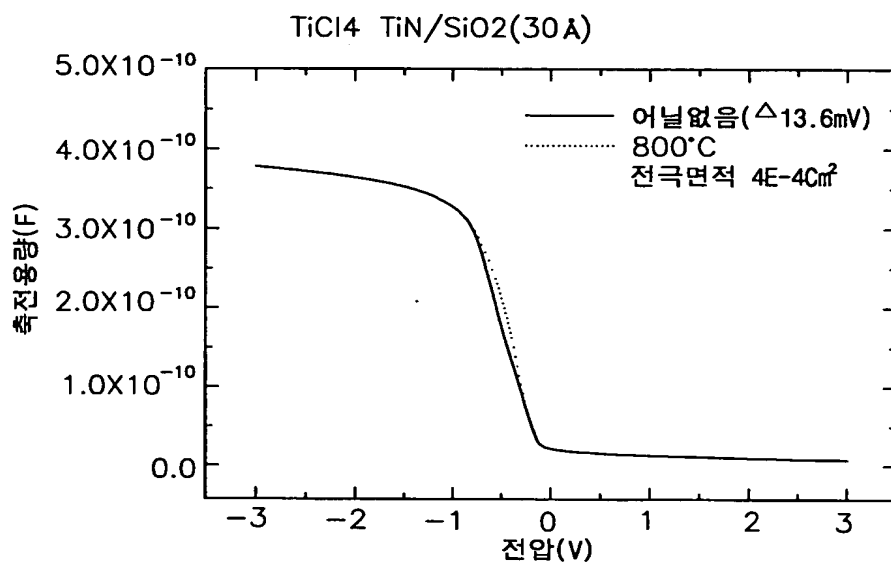
【도 1a】



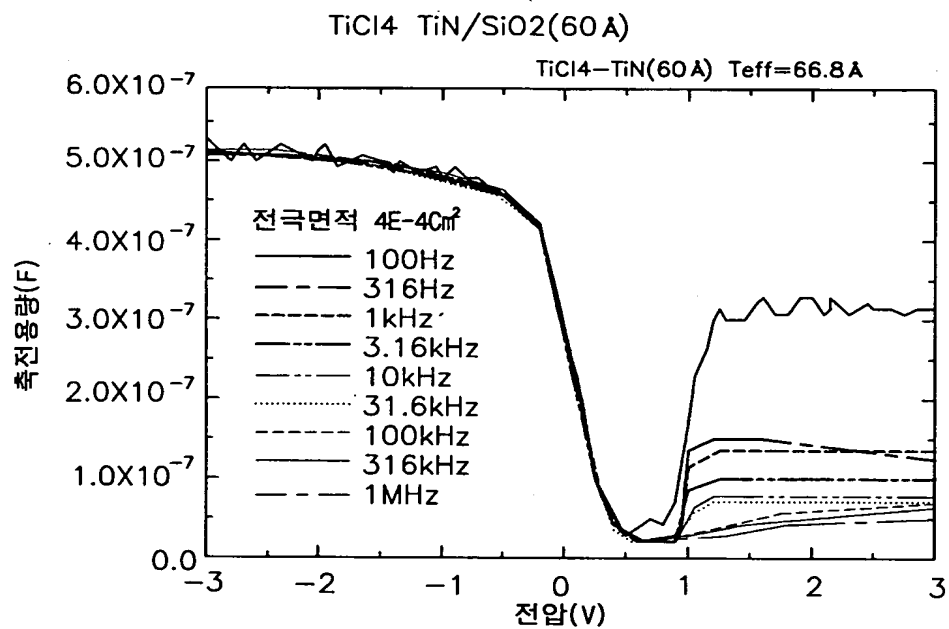
【도 1b】



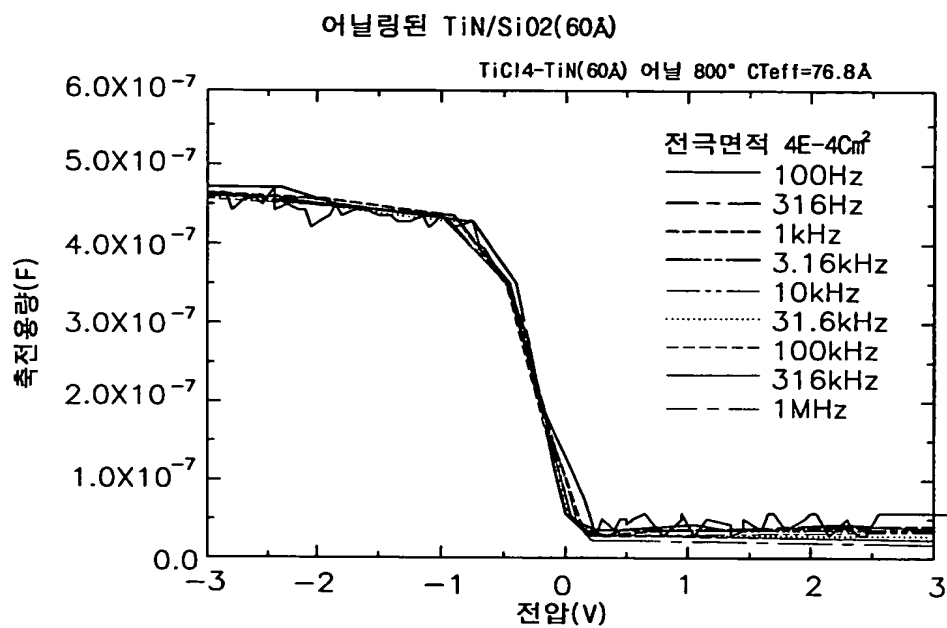
【도 2a】



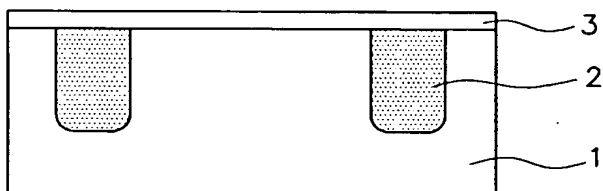
【도 2b】



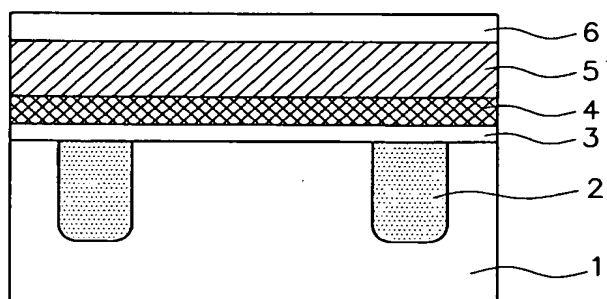
【도 2c】



【도 3a】



【도 3b】



【도 3c】

